

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002334925 A**

(43) Date of publication of application: **22.11.02**

(51) Int. Cl

**H01L 21/76**  
**H01L 21/304**

(21) Application number: **2002059571**

(22) Date of filing: **05.03.02**

(30) Priority: **05.03.01 JP 2001060623**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **HORIE TOMOKAZU  
SUGIYAMA SHINICHI**

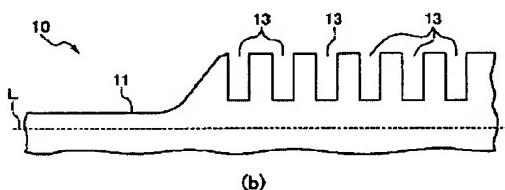
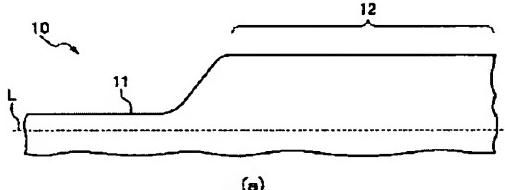
**(54) PLANARIZATION METHOD AND METHOD FOR  
MANUFACTURING SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a pretreatment method for planarization, by which unpolished parts and dishing can be reduced, even if a large area having little irregularities is included and a more uniform planarization level can be realized with a small amount of polishing, and to provide a method for manufacturing semiconductor devices.

**SOLUTION:** A substrate has a first area and a second area larger than the first area. Trenches are formed between the first and second areas for separating them and an insulation film is formed on the substrate and in the trenches. A dummy pattern, having plural irregularities, is formed on the insulating film on the second area. After that, the insulation film is planarized through chemical and mechanical polishing.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-334925  
(P2002-334925A)

(43) 公開日 平成14年11月22日 (2002.11.22)

(51) Int.Cl. <sup>7</sup> H 01 L 21/76 21/304	識別記号 6 2 2	F I H 01 L 21/304 21/76	テマコード(参考) 6 2 2 N 5 F 0 3 2 L
---	---------------	-------------------------------	-------------------------------------

審査請求 未請求 請求項の数 7 O.L. (全 6 頁)

(21) 出願番号 特願2002-59571(P2002-59571)	(22) 出願日 平成14年3月5日(2002.3.5)
(31) 優先権主張番号 特願2001-60623(P2001-60623)	(32) 優先日 平成13年3月5日(2001.3.5)
(33) 優先権主張国 日本 (JP)	

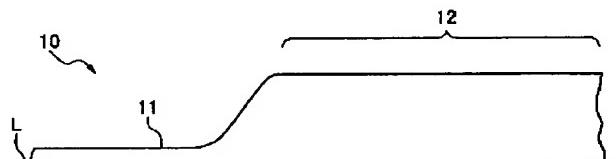
(71) 出願人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号	(72) 発明者 堀江 友和 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 杉山 慎一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内	(74) 代理人 100095728 弁理士 上柳 雅善 (外2名) Fターム(参考) 5F032 AA36 AA44 AA45 BA02 DA02 DA28 DA33 DA53 DA78

(54) 【発明の名称】 平坦化処理方法及び半導体装置の製造方法

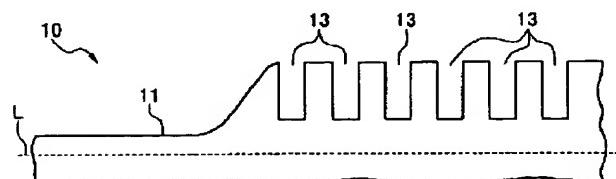
(57) 【要約】

【課題】 凹凸の少ない大面積の領域を含んでいても研磨残りやディッシングを低減でき、少ない研磨量により均一な平坦化レベルを実現する平坦化前処理方法及び半導体装置の製造方法を提供する。

【解決手段】 基板は、第1の領域と第1の領域よりも面積が広い第2の領域とを有する。この第1の領域と第2の領域との間に、第1の領域と第2の領域とを分離するためにトレンチを形成し、基板上とトレンチ内に絶縁膜を形成し、第2の領域上の絶縁膜に複数の凹凸を有するダミーパターンを形成する。この後に、化学的機械的研磨によって、前記絶縁膜を平坦化する。



(a)



(b)

**【特許請求の範囲】**

【請求項1】 第1の領域と前記第1の領域よりも面積が広い第2の領域とを有する基板のうち、前記第1の領域と前記第2の領域との間に、前記第1の領域と前記第2の領域とを分離するためのトレーナーを形成する工程と、  
前記基板上と前記トレーナー内に絶縁膜を形成する工程と、  
前記第2の領域上の前記絶縁膜に、複数の凹凸を有するダミーパターンを形成する工程と、  
化学的機械的研磨によって、前記絶縁膜を平坦化する工程と、を含む平坦化処理方法。

【請求項2】 前記ダミーパターンは、格子構造パターンをフォトリソグラフィ技術により形成することを特徴とする請求項1記載の平坦化処理方法。

【請求項3】 前記ダミーパターンは、複数の開口パターンをフォトリソグラフィ技術により形成することを特徴とする請求項1記載の平坦化処理方法。

【請求項4】 第1の領域と前記第1の領域よりも面積が広い第2の領域とを有する基板のうち、前記第1の領域と前記第2の領域との間に、前記第1の領域と前記第2の領域とを分離するためのトレーナーを形成する工程と、  
前記基板上と前記トレーナー内に絶縁膜を形成する工程と、  
前記第2の領域上の前記絶縁膜に、複数の凹凸を有するダミーパターンを形成する工程と、  
化学的機械的研磨によって、前記絶縁膜を平坦化する工程と、を含む半導体装置の製造方法。

【請求項5】 前記絶縁膜の平坦化工程の後に、さらに、前記第1の領域に第1の素子を形成し、前記第2の領域に前記第1の素子よりも大きい第2の素子を形成する請求項4記載の半導体装置の製造方法。

【請求項6】 前記ダミーパターンは、格子構造パターンをフォトリソグラフィ技術により形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 前記ダミーパターンは、複数の開口パターンをフォトリソグラフィ技術により形成することを特徴とする請求項4記載の半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】**

【発明の属する技術分野】 本発明は、半導体装置製造に係り、特に大面積の素子形成領域を有する半導体ウェハ上の被平坦化処理層を化学的機械的研磨により平坦化する際の平坦化処理方法及び半導体装置の製造方法に関する。

**【0002】**

【従来の技術】 半導体素子の微細化、高集積化に伴い、ゲート電極や配線の細線化、ピッチの縮小化は進む一方である。従って、ゲート電極や配線形成に必要なリソグ

ラフィ技術の評価、素子としての製造に関する膜質などの諸条件の評価は重要であり、予め評価用ウェハで評価される。すなわち、評価用ウェハにおいて、実際の設計に則した寸法、ピッチ等、所条件を盛り込んだ様々な素子のパターンが形成され、製造工程の評価がなされるのである。このような評価用ウェハをTEST (Test Element Group) ウェハと呼ぶこともある。

【0003】 近年の微細化、高集積化に伴い配線層数は増大し、形成層間の平坦化処理には化学的機械的研磨、

10 いわゆるCMP (Chemical Mechanical Polishing) 技術は不可欠である。すなわち、被平坦化層の凹凸部に加わる研磨パッドの圧力差、および、スラリーによる選択性によって研磨レートの選択性が生じ、所定時間経過後には凹凸部をなだらかにする。

【0004】 上記評価用ウェハにおいてもCMP技術を用いて形成層間の平坦化処理が行われる。例えば、素子分離領域としてトレーナー素子分離絶縁膜を形成する場合について以下に説明する。

【0005】 図9(a), (b)は、それぞれ従来技術におけるトレーナー素子分離領域を形成する際の途中過程を示す断面図である。図9(a)に示すように、Si半導体基板91上に窒化膜(シリコン窒化膜等)92のマスクパターンを形成し、素子分離用のトレーナー93をエッチング形成する。トレーナー93を酸化した後(図示せず)、CVD (Chemical Vapor Deposition) 法により酸化膜94を形成する。酸化膜94はトレーナー93の凹凸に従って堆積レベルが異なってくる。

【0006】 評価用ウェハ(91)にはゲート配線を所定ピッチで敷き詰める大面積の素子領域95が設けられる。これにより、他の領域に比べて大面積の素子領域95上の酸化膜94は高く堆積され、大面積の台状(凸部)領域941となる。

【0007】 CMPにおける研磨パッドでは、被平坦化処理層(酸化膜94)に対し、凸部には凹部に比べて大きな圧力がかかり、研磨レートは大きくなる。しかし、大面積の凸部では研磨パッドの圧力が分散し、研磨レートが小さくなるのが現状である。すなわち、素子領域95上の台状領域941は、その他の低い堆積レベルの細かな凹凸領域と同じように平坦化できず、平坦化の誤差が大きくなる懸念がある。

【0008】 そこで、図9(b)に示すように、他の領域に比べて大面積の素子領域95上における酸化膜94の台状領域941に対しフォトリソグラフィ技術を用い、他の堆積レベルに近付けるように全体をある程度の深さエッチングする。凸部942は、レジストのマスクパターンの形成マージンにより形成されるものである。このような構成にしてからCMPを実施すれば、誤差の少ない平坦化レベルを実現することができる。そして図示しないが、窒化膜92をCMPのストップ膜として検出し、その後に窒化膜を除去する。これにより、トレ

チ93に酸化膜94が埋め込まれたトレンチ素子分離絶縁膜が形成される。

### 【0009】

【発明が解決しようとする課題】しかしながら、上記図9(b)に示すような、大面積の酸化膜94の台状領域941への対策ではCMP特有のディシングの問題は避けられない。大面積の素子領域95には当然トレンチが存在し得ないから凹凸がほとんど無く、従ってディシングが起こる恐れがある。

【0010】図10は、上記図9(b)に対しCMPを利用して平坦化し塗化膜92をCMPのストップ膜として検出した際の断面図である。大面積の素子領域95上でディシングが生じ、他の領域に比べて早く塗化膜92が露出してしまい、CMP処理終了となる。この状態で塗化膜92の除去工程に移っても、塗化膜92上に酸化膜94が残留しているので塗化膜92は完全に除去されない。

【0011】このような事態を避けるため、従来、CMP処理は塗化膜92を検出してからさらに塗化膜92上に残留した分の酸化膜94の除去を想定した時間、余儀なく過剰に実行していた。これにより、CMP効率の低下、研磨パッドの劣化の進行、トレンチ素子分離膜としての酸化膜(94)の膜厚ばらつきに影響を及ぼすといった問題がある。

【0012】本発明は上記のような事情を考慮してなされたもので、凹凸の少ない大面積の領域を含む場合であってもディシング等を低減することができ、少ない研磨量で膜厚ばらつきの少ない平坦化レベルを実現する平坦化前処理方法を提供しようとするものである。

### 【0013】

【課題を解決するための手段】本発明に係る平坦化処理方法、及び、半導体装置の製造方法は、第1の領域と前記第1の領域よりも面積が広い第2の領域とを有する基板のうち、前記第1の領域と前記第2の領域との間に、前記第1の領域と前記第2の領域とを分離するためにトレンチを形成する工程と、前記基板上と前記トレンチ内に絶縁膜を形成する工程と、前記第2の領域の上の前記絶縁膜に、複数の凹凸を有するダミーパターンを形成する工程と、化学的機械的研磨によって、前記絶縁膜を平坦化する工程と、を含む。

【0014】上記本発明に係る平坦化処理方法、及び、半導体装置の製造方法によれば、複数の凹凸を有する所定深さのダミーパターンが台状の領域全体に形成される。これにより、研磨パッドにおける研磨レートの選択性が活かされ、かつスラリーが凹部全体に行き渡り、均一的なCMPを実現する。

【0015】なお、上記ダミーパターンは、均一的なCMPを実現するために、好ましくは格子溝パターンをフォトリソグラフィ技術により形成する。あるいは複数の開口パターンをフォトリソグラフィ技術により形成する

ことを特徴とする。また、この半導体装置の製造方法は、さらに、前記絶縁膜の平坦化工程の後に、さらに、前記第1の領域に第1の素子を形成し、前記第2の領域に前記第1の素子よりも大きい第2の素子を形成してもよい。

### 【0016】

【発明の実施の形態】図1(a), (b)は、それぞれ本発明の一実施形態に係る半導体装置の製造方法に含まれる平坦化処理方法を工程順に示す断面図である。図1(a)に示すように、半導体ウェハ10において、下層形成部の凹凸(図示せず)の影響により凹凸を帯びた平坦化されるべき層11が、部分的に高さのある大面積の台状領域12を有している。点線Lで示す平坦化終了レベルまでCMPすなわち化学的機械的研磨により平坦化する処理に関し、台状領域12では絶縁膜11の研磨残り、台状領域12の周辺領域ではディシングが懸念される。

【0017】そこで、図1(b)に示すように、CMPの前処理として、この被平坦化処理層11の台状領域12に対し、複数の凹凸を有するように所定深さのダミーパターン13を形成する。ダミーパターン13は、例えばフォトリソグラフィ技術を用いて、台状領域12周辺の他の低い領域のレベル付近まで深くパターニングする。

【0018】図1(b)に示すような前処理をしてからCMPを施すと、台状領域12全体に形成され複数の凹凸を有する所定深さのダミーパターン13によって、図示しない研磨パッドにおいて研磨レートの選択性が活かされ、また、スラリーが凹部全体に行き渡る。よって、平坦化終了レベルしまで、均一的なCMPを達成し、ディシングを低減した膜厚誤差の少ない平坦化を実現することができる。

【0019】図2、図3は、それぞれ図1(b)に示すようなCMP前処理として大面積の台状領域12に対して形成されるダミーパターン13の具体例を示す平面図である。

【0020】図2では、格子溝パターン131をフォトリソグラフィ技術により形成する。また、図3では、複数の開口パターン132をフォトリソグラフィ技術により形成する。つまり斜線で示すパターン131、132はいずれも凹部となり、スラリーが凹部全体に行き渡りつつ、凸部で研磨パッドの圧力の分散を抑制し、均一なCMPを実現する。

【0021】図4～図8は、それぞれ本発明に係る半導体装置の製造方法を適用したトレンチ素子分離領域の形成を工程順に示す断面図である。図4に示すようにSi半導体基板41上にマスクパターンとなる塗化膜(シリコン塗化膜)42を形成し、素子分離用のトレンチ43をエッチング形成する。マスクパターンはシリコン塗化膜からなるものに限定されず、基板41のエッチング条

件において、基板41と塗化膜42とのエッチングレート比（選択比）が高いものであればよい。また、絶縁膜45のエッチング条件において、マスクパターンは、絶縁膜45とマスクパターンとのエッチングレート比（選択比）が高いものがさらに好ましい。ここでは、周囲の素子領域A1に比べて大面積の素子領域A2が設けられる部分を含んでいる。

【0022】次に、図5に示すように、トレンチ43を酸化し酸化膜44を形成した後、CVD（Chemical Vapor Deposition）法により絶縁膜45を形成する。例えば、絶縁膜45は、シリコン酸化膜である。絶縁膜45はトレンチ43の凹凸に従って堆積レベルが異なってくる。大面積の素子領域A2上の絶縁膜45は他の領域に比べて高く堆積され、大面積の台状（凸部）領域451となる。

【0023】次に、図6に示すように、上記大面積の台状領域451に対し、複数の凹凸を有するように所定深度のダミーパターン46を形成する。ダミーパターン46は、例えばフォトリソグラフィ技術を用いて、台状領域451周辺の低い領域のレベル付近まで深くパターニングする。これにより、台状領域451の少なくとも一部に、複数の開口、もしくは、格子溝のパターンを形成してもよい。ダミーパターン46は、例えば前記図2、図3の例に示した形態をとる。

【0024】次に、図7に示すようにCMPを施す。台状領域451全体に形成され複数の凹凸を有する所定深度のダミーパターン46によって、図示しない研磨パッドにおいて研磨レートの選択性が活かされ、また、スラリーが凹部全体に行き渡る。これにより、CMPのストップ膜となる塗化膜42の露出検出まで、均一的なCMPを達成し、ディッシングを低減した膜厚誤差の少ない平坦化を実現することができる。このストップ膜42は、塗化膜からなるものに限定されず、絶縁膜45のエッチング条件において、絶縁膜45とストップ膜42とのエッチングレート比（選択比）が高いものであればよい。その後、図8に示すように、シリコン塗化膜42の除去工程を経て、トレンチ43に酸化膜45が埋め込まれたトレンチ素子分離絶縁膜が形成される。次に、周辺の素子領域A1と大面積の素子領域A2にそれぞれ素子を形成する。大面積の素子領域A2に設けられる素子の幅のほうが、周辺の素子領域A1に設けられる素子の幅よりも大きくてよい。それぞれの素子は、ゲート電極を有するMISトランジスタでもよい。この場合、素子領域A2中のゲート電極の幅は、素子領域A1のゲート電極の幅よりも大きくてよい。

【0025】上記構成によれば、ストップ膜の露出検出によるCMP処理終了時、ストップ膜上への絶縁膜45の残留はほとんどなくなり、従来に比べて残留絶縁膜45の除去は非常に制御し易い。よって、CMP効率の低下、研磨パッドの劣化を最小限に抑えつつ、より適切な

状態でストップ膜の除去工程に移行できる。よって、トレンチ素子分離膜としての絶縁膜45の膜厚ばらつきの影響は非常に小さいものとなり、以降の素子製造工程に高信頼性を保つことができる。

【0026】なお、本発明の平坦化前処理方法は、上記実施形態に限らず、ディッシングの問題が懸念される被平坦化処理層の平坦化終了レベルより一様に高い台状の領域に対し、有効である。すなわち、上記問題の領域にCMPの前の段階で複数の凹凸を有するように所定深度のダミーパターンを形成しておくことによって、CMPにおいて研磨残りやディッシングを低減することができ、より精度の高い平坦化レベルを実現することができる。

#### 【0027】

【発明の効果】以上説明したように本発明によれば、ディッシングの懸念があるある大面積の台状領域に対し複数の凹凸を有する所定深度のダミーパターンを形成する。これにより、研磨パッドにおいて研磨レートの選択性が活かされ、また、スラリーが凹部全体に行き渡る。よって、平坦化終了レベルLまで、均一的なCMPを達成スラリーが凹部全体に行き渡る。この結果、凹凸の少ない大面積の領域を含んでいても研磨残りやディッシングを低減することができ、少ない研磨量で膜厚ばらつきの少ない平坦化レベルを実現する平坦化前処理方法を提供することができる。

#### 【図面の簡単な説明】

【図1】(a), (b)は、それぞれ本発明の一実施形態に係る平坦化前処理方法を工程順に示す断面図である。

【図2】図1(b)に示すようなCMP前処理として大面積の台状領域に対して形成されるダミーパターンの第1の具体例を示す平面図である。

【図3】図1(b)に示すようなCMP前処理として大面積の台状領域に対して形成されるダミーパターンの第2の具体例を示す平面図である。

【図4】本発明に係る平坦化前処理方法を適用したトレンチ素子分離領域の形成を工程順に示す第1の断面図である。

【図5】本発明に係る平坦化前処理方法を適用したトレンチ素子分離領域の形成を工程順に示す図4に続く第2の断面図である。

【図6】本発明に係る平坦化前処理方法を適用したトレンチ素子分離領域の形成を工程順に示す図5に続く第3の断面図である。

【図7】本発明に係る平坦化前処理方法を適用したトレンチ素子分離領域の形成を工程順に示す図6に続く第4の断面図である。

【図8】本発明に係る平坦化前処理方法を適用したトレンチ素子分離領域の形成を工程順に示す図7に続く第5の断面図である。

【図9】(a), (b)は、それぞれ従来技術におけるトレンチ素子分離領域を形成する際の途中過程を示す断面図である。

【図10】図9(b)に対しCMPを利用して平坦化し塗化膜をCMPのストップ膜として検出した際の断面図である。

【符号の説明】

10…半導体ウェハ

11…被平坦化処理層

12, 451, 941…台状領域

\* 942…凸部

13, 46…ダミーパターン

131…格子溝パターン

132…開口パターン

41…Si半導体基板

42…塗化膜(シリコン塗化膜等)

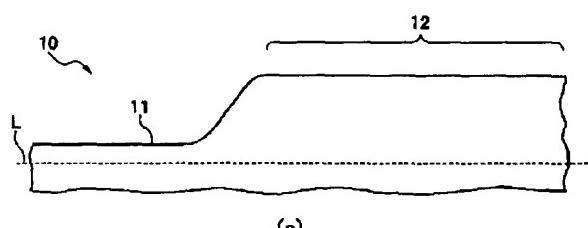
43…トレンチ

44, 45…酸化膜

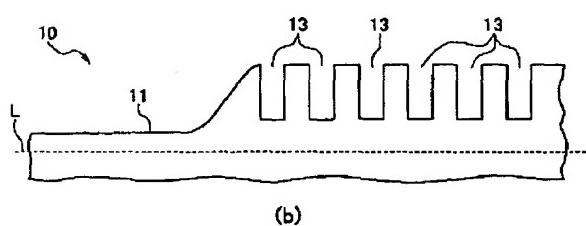
A1, A2…素子領域

\* 10 L…平坦化終了レベル

【図1】

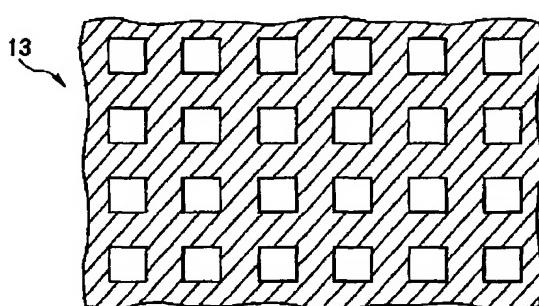


(a)

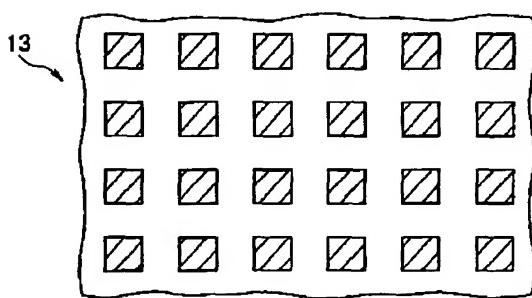


(b)

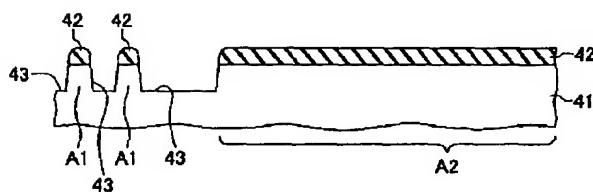
【図2】



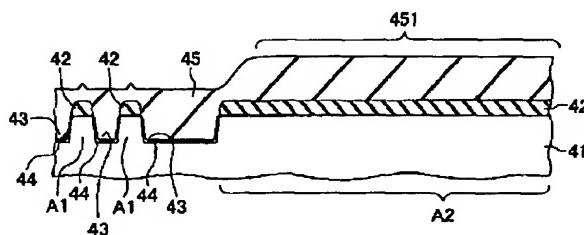
【図3】



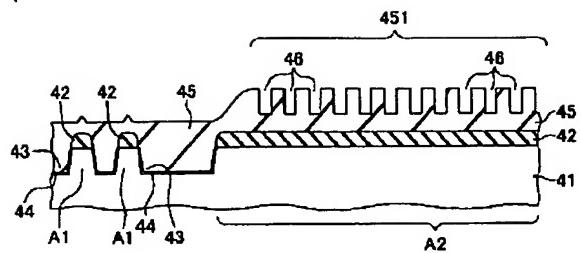
【図4】



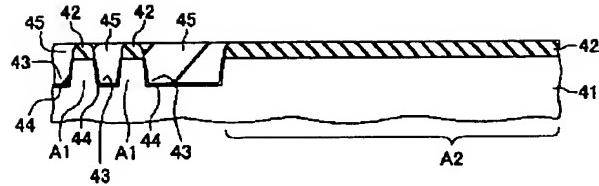
【図5】



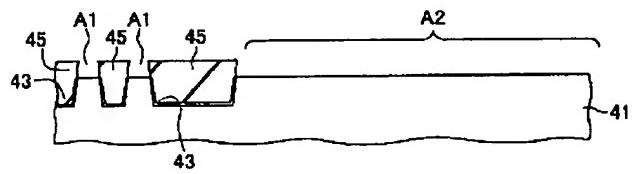
【図6】



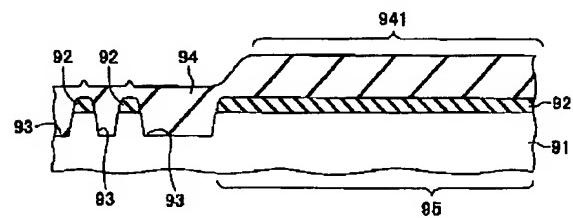
【図7】



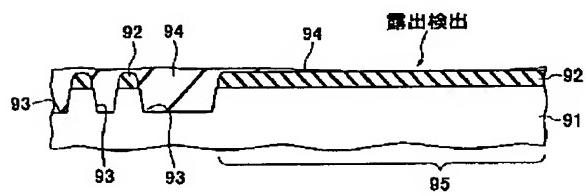
【図8】



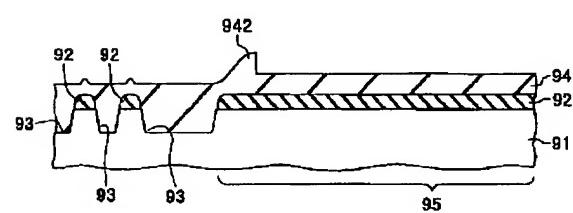
【図9】



【図10】



(a)



(b)